

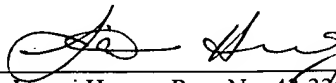
2181

In re application of: SHENG-CHANG PENG et al.
Application No.: 09/894,684
Filed: June 27, 2001
For: INTERFACE, STRUCTURE AND METHOD FOR
TRANSMITTING DATA OF PCI BUS
Examiner:
Art Unit:

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on

October 4, 2001
(Date)


Jiawei Huang, Reg. No. 43,330

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

Sir:

RECEIVED

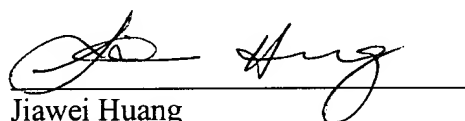
OCT 17 2001

Group 2100

Transmitted herewith is a certified copy of Taiwan Application No. 090113548 filed on June 05, 2001.

A Request for Changing Correspondence Address and return prepaid postcard are also included herewith.

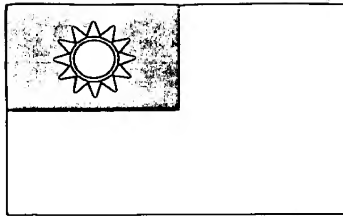
It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA6420-CIP). A duplicate copy of this sheet is enclosed.


Jiawei Huang
Registration No. 43,330

Please send future correspondence to:
J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
(949) 660-0761

JCLA6420-CIP

09/894,684



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 06 月 05 日
Application Date

申請案號：090113548
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2001 年 7 月 23 日
Issue Date

發文字號：09011010707
Serial No.

申請日期	
案 號	90113548
類 別	

A4
C4

(以上各欄由本局填註)

發 明 型 專 利 說 明 書		
一、發明 新 型 名 稱	中 文	在 PCI 匯流排上傳送資料的匯流排資料介面、 結構及其運作方法
	英 文	
二、發明 人 創 作	姓 名	1 彭盛昌 2 蔡兆爵 3 王宣壹 4 蔡奇哲
	國 籍	中華民國
三、申請人	住、居所	1 台北市忠孝東路五段 672 巷 27 弄 10 號 4 樓 2 台北市南京東路五段 251 巷 50 弄 5-3 號 3 雲林縣台西鄉五榔村 57 號 4 高雄縣仁武鎮竹後村水管路 15 巷 144 弄 39 號
	姓 名 (名 稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

裝

訂

線

四、中文發明摘要（發明之名稱：

在 PCI 匯流排上傳送資料的匯流
排資料介面、結構及其運作方法

一種在 PCI 匯流排上傳送資料的匯流排資料介面、結構及其運作方法，此匯流排資料介面至少包括：傳送高位元緩衝器、傳送低位元緩衝器、多工器、仲裁訊號裝置、以及資料分配器。其中之仲裁訊號裝置利用匯流排要求訊號及匯流排核准訊號之接腳來傳送 33MHz 時脈之資料選通 (Data Strobe) 訊號，且以此資料選通訊號之上升緣與下降緣作為傳輸之依據，而資料分配器也依據資料選通訊號來接收資料。如此，可以相容於原有之 PCI 匯流排，又使 PCI 匯流排以二倍速率來傳輸資料。

英文發明摘要（發明之名稱：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ☒有 ☐無主張優先權
美國 2000/06/30 60/215,565

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (|)

本發明是有關於一種 PCI 匯流排相容結構，特別是一種支援倍速傳輸之 PCI 匯流排結構。

第 1 圖所繪示的便是一般在電腦架構中，使用 PCI 系統的一種架構。中央處理器 10 經由主橋(host bridge)12 耦接到 PCI 匯流排 14。PCI 匯流排 14 則可以耦接多數個 PCI 相容之週邊裝置的主控器(master)16a/16b/16c/16d。每一主控器均可以送出要求訊號(request, REQ)要求使用 PCI 匯流排 14，而主橋 12 中的匯流排仲裁器(arbiter)則可送出核准訊號(grant, GNT)給主控器，同意其使用 PCI 匯流排 14。

PCI 相容裝置(如主控器或電腦晶片組中之北橋)之間的資料傳送主要係由下列之介面控制訊號所控制。週期框格訊號(cycle frame, FRAME#)係由起始器(其可以是主控器或北橋)所送出，用以確認傳輸資料是否為最後一筆。週期框格訊號送出時，表示透過 PCI 匯流排的傳輸資料之交易(transaction)動作開始進行，當週期框格訊號維持在低準位則表示傳輸資料交易持續進行。此時，資料位址訊號 AD 便會於位址週期期間送出有效位址(valid address)，同時會在命令/位元組致能(command/byte enable, CBE[3:0])送出有效的匯流排命令，用以對回應器指出起始器所要求的資料交易型態。緊接所送出的有效位址後，資料位址訊號 AD 便送出要傳送的資料，此時期稱為資料週期，同時於 CBE 線送出編碼後匯流排命令之位元組致能訊號，藉以傳送資料。當週期框格訊號停止送出，就表示交易狀態為最後一筆資料傳送，或是已經完成資料傳送。起始器備妥訊號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

(initiator ready, IRDY#)與回應器備妥訊號(target ready, TRDY#),兩者配合使用,用以分別指示起始裝置與回應器已經備妥而可以進行資料之傳送。在一讀取動作進行時,IRDY#訊號表示起始器準備好接收資料;而在進行一寫入操作時,TRDY#訊號表示回應器準備好接收資料。停止訊號(stop, STOP#),用以指示回應器要求起始器停止目前的傳輸資料交易行為。

然而,在傳輸之時,皆根據匯流排時脈訊號 33MHz 之時脈傳輸所有的訊號,並依照時脈之上升緣來觸發(Trigger),如此,資料訊號於一個時脈週期內只能傳輸一組資料,所以資料傳輸之速度受限於匯流排之時脈,無法因應高速資料傳輸的需求。

有鑒於此,本發明是在提供一種在 PCI 匯流排上傳送資料的匯流排資料介面、結構及其運作方法,利用匯流排要求訊號及匯流排核准訊號之接腳來傳送 33MHz 時脈之資料選通(Data Strobe)訊號,以此資料選通訊號之高電位與低電位作為傳輸之依據,如此,可以相容於原有之 PCI 匯流排,且以原有之傳輸時脈做二倍傳輸之動作,以增加整體資料傳輸之速度。

本發明所提供之一種在 PCI 匯流排上傳送資料的匯流排資料介面係應用於 PCI 匯流排之相容裝置中,而此 PCI 匯流排至少具有匯流排核准訊號及匯流排要求訊號,本發明之匯流排資料介面至少包括:傳送高位元緩衝器、傳送低位元緩衝器、多工器、仲裁訊號裝置、以及資料分配器。

五、發明說明(3)

上述傳送高位元緩衝器係用以接收並暫存傳送高位元資料，而同樣的，傳送低位元緩衝器係用以接收並暫存傳送低位元資料。有關本發明之多工器，其耦接至傳送高位元緩衝器及傳送低位元緩衝器，其接收此匯流排資料介面之內部匯流排時脈訊號，當內部匯流排時脈訊號為高電位時，多工器選擇傳送高位元資料或傳送低位元資料之一輸出至PCI匯流排上，當內部匯流排時脈訊號為低電位時，多工器選擇傳送高位元資料或傳送低位元資料之另一輸出至PCI匯流排上。

本發明之仲裁訊號裝置以匯流排核准訊號及匯流排要求訊號二者之一的接腳為定義其為傳送資料選通訊號接腳，而本發明之資料分配器以匯流排核准訊號及該匯流排要求訊號二者之另一的接腳定義其為接收資料選通訊號接腳。當匯流排資料介面輸出資料至PCI匯流排上時，仲裁訊號裝置依據內部匯流排時脈訊號，在傳送資料選通訊號接腳上傳送出傳送資料選通訊號。而耦接至PCI匯流排之資料分配器，其依據接收資料選通訊號接腳上的接收資料選通訊號，由PCI匯流排上接收資料，再分別輸出接收高位元資料與接收低位元資料。

本發明之一實施例之在PCI匯流排上傳送資料的匯流排資料介面顯示：如果此匯流排資料介面應用於匯流排主控裝置，則當此匯流排主控裝置進行寫入資料，亦即輸出資料至PCI匯流排上時，以匯流排要求訊號的接腳為傳送資料選通訊號接腳，當匯流排主控裝置進行讀取資料，亦即

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(4)

由PCI匯流排上接收資料時，以匯流排核准訊號的接腳為接收資料選通訊號接腳；如果此匯流排資料介面應用於匯流排橋接裝置，而此匯流排橋接裝置依據匯流排要求訊號及匯流排核准訊號，來仲裁PCI匯流排之主控權，則當匯流排橋接裝置輸出資料至PCI匯流排上時，以匯流排核准訊號的接腳為傳送資料選通訊號接腳，當匯流排橋接裝置由PCI匯流排上接收資料時，以匯流排要求訊號的接腳為接收資料選通訊號接腳。

本發明另提供一種在PCI匯流排上傳送資料的匯流排結構，特別強調的是，本發明主要利用PCI匯流排上所具有之匯流排核准訊號及匯流排要求訊號之訊號接腳，本發明之匯流排結構至少包括：傳送相容裝置及接收相容裝置，兩者皆耦接至PCI匯流排，以在PCI匯流排上傳輸資料。其中傳送相容裝置中至少包括：傳送高位元緩衝器、傳送低位元緩衝器、多工器以及仲裁訊號裝置。而接收相容裝置至少包括資料分配器。

上述傳送高位元緩衝器係用以接收並暫存傳送高位元資料。同樣地，傳送低位元緩衝器係用以接收並暫存傳送低位元資料。至於本發明之多工器，其耦接至傳送高位元緩衝器及傳送低位元緩衝器，其接收傳送相容裝置中之第一內部匯流排時脈訊號，當第一內部匯流排時脈訊號為高電位時，多工器選擇傳送高位元資料與傳送低位元資料二者之一輸出至PCI匯流排上，當第一內部匯流排時脈訊號為低電位時，多工器選擇傳送高位元資料與傳送低位元資

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (6)

料之另一輸出至PCI匯流排上。當傳送相容裝置輸出資料至PCI匯流排上時，上述仲裁訊號裝置依據第一內部匯流排時脈訊號，在匯流排核准訊號及匯流排要求訊號二者之一的接腳上傳送出資料選通訊號。至於本發明之接收相容裝置中的資料分配器，依據上述的資料選通訊號，由PCI匯流排上接收資料，再分別輸出接收高位元資料與接收低位元資料。

本發明之一實施例之在PCI匯流排上傳送資料的匯流排結構顯示：如果傳送相容裝置係應用於匯流排主控裝置，而接收相容裝置係應用於匯流排橋接裝置，則當匯流排主控裝置輸出資料至PCI匯流排上時，係以匯流排要求訊號的接腳來傳送出資料選通訊號；如果接收相容裝置係應用於匯流排主控裝置，而傳送相容裝置係應用於匯流排橋接裝置，則當匯流排主控裝置由PCI匯流排上接收資料時，係以匯流排核准訊號的接腳來接收資料選通訊號。上述匯流排橋接裝置依據匯流排要求訊號及匯流排核准訊號，來仲裁PCI匯流排之主控權。

本發明利用匯流排要求訊號及匯流排核准訊號之接腳來傳送 33MHz 時脈之資料選通訊號，且以此資料選通訊號之上升緣與下降緣作為傳輸之依據，如此，可以相容於原有之 PCI 匯流排，又可以利用原 33MHz 時脈做二倍資料傳輸之動作。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(6)

說明如下：

圖式之簡單說明：

第 1 圖繪示的是習知之 PCI 匯流排基本架構之方塊圖；

第 2 圖繪示的是依照本發明之一較佳實施例的一種支援二倍傳輸模式的 PCI 匯流排結構傳輸狀態之方塊圖；

第 3 圖繪示的是依照本發明之一較佳實施例的一種支援二倍傳輸模式的 PCI 匯流排結構之時序圖形；

第 4 圖繪示的是依照本發明之一較佳實施例的一種具有二倍傳輸模式的 PCI 匯流排結構上之相容裝置之方塊圖；

第 5 圖繪示的是第 4 圖中的具有二倍傳輸模式的 PCI 匯流排相容裝置中的資料分配器之方塊圖；以及

第 6 圖繪示的是第 5 圖與第 4 圖中 PCI 匯流排相容裝置之時序圖形。

圖式之標號說明：

10：中央處理器

11：系統記憶體

16a/b/c/d，56，58：主控器

20：具二倍傳輸之 PCI 相容裝置

62：先進先出記憶體

40：先進先出記憶體控制器之延遲結構

52：具有二倍傳輸之主橋

54：具有二倍傳輸之主控器

55：輸出相容裝置

五、發明說明 (7)

57：接收相容裝置

60：具有二倍傳輸之 PCI 匯流排相容裝置

64，74：資料緩衝器對

66：多工器

68：要求訊號裝置

72：資料分配器

80，82：緩衝器

84，86，88，90：輸出控制器

實施例

本申請案之原理及方法係利用中華民國專利申請案第 88103699 號之主要技術內容，在此先予敘明。上述申請案僅指出在 PCI 匯流排上傳送資料的系統及方法，本案進一步揭露實施的裝置與匯流排結構。

請參照第 2 圖，第 2 圖繪示的是依照本發明之一較佳實施例的一種支援二倍傳輸模式的 PCI 匯流排結構傳輸狀態之方塊圖。此較佳實施例中包含：本發明之具有二倍傳輸能力之主控器 54 與主橋 52，以及單純與一般 PCI 相容的主控器 56/58，本實施例中這些裝置可與原先的 PCI 匯流排系統正常運作，絕無不相容的情形發生。

如第 2 圖所示，並非所有之 PCI 裝置 54/56/58 皆支援二倍傳輸模式，其中只有在具有二倍傳輸之主控器 54 與具有二倍傳輸之主橋 52 作寫入或讀出資料位址訊號時才運用到二倍傳輸模式，其餘如主控器 54/56/58 與主控器 54/56/58 之間的傳輸，或由主橋 52 發出命令與主控器 54/56/58 之間的傳輸，爲了確保資料之完整皆以原先 PCI 相容之控制時脈來傳輸資料。

五、發明說明 (8)

其中，電腦系統於開機之初首先要偵測主橋 52 是否具有二倍傳輸能力，如果主橋 52 有的話，便立即判別主控器 54、主控器 56、以及主控器 58 是否支援二倍傳輸之模式，例如：系統之 BIOS 中列舉所有可支援二倍傳輸模式之廠商識別碼(Vendor ID)及裝置識別碼(Device ID)，系統比對主控器 54、56、58 是否屬於上述之一，藉以判斷主控器是否支援二倍傳輸模式，這是由於標準 PCI 匯流排之規格中，並沒有支援二倍傳輸模式之特殊識別碼的原故；又或是詢問(query)組態空間(Configuration Space)中一預定的位址來識別，只要偵測出任一主控器支援二倍傳輸模式，可令所有支援二倍傳輸模式之主控器將要求訊號(REQ)致動，再由主橋 52 將所有主控器之要求訊號的狀態回報給系統，就可以確實得知那些要求訊號對應的主控器支援二倍傳輸模式，並將其結果加以儲存至系統內。系統(例如：BIOS)依據上述結果，去程式化主橋 52，因此主橋 52 就可以輕易辨別那些要求訊號所對應的主控器支援二倍傳輸模式。

當主橋將匯流排授權核准給具二倍傳輸之主控器 54，且主控器 54 欲以二倍傳輸模式動作時，具有二倍傳輸之主控器 54 則於所發出之資料位址訊號上送出數個可識別的位元組，例如：將位址訊號的最低兩個位元 address[1:0]設為 2，以告知主橋 52 將進入二倍傳輸模式。當接收到自主控器 54 發出的匯流排命令內的位址訊號之最低兩個位元等於 2 時，並且主橋 52 從核准訊號(GNT)判別主控器 54 支援二倍傳輸模式，則主橋就進入二倍傳輸模式。BIOS 必

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

須告訴支援二倍傳輸模式之主控器，可支援二倍傳輸模式的位址範圍，也就是主橋可接受的位址範圍(通常是系統記憶體的范围)。當位址範圍不在主橋可接受的位址範圍時，則以正常的模式進行傳輸，只有那些在二倍傳輸模式的位址範圍內的匯流排交易(transaction)可使主橋 52 與主控器 54 進入二倍傳輸模式。另外，雖然主控器 54 支援二倍傳輸模式，但其也可將位址訊號的最低兩個位元不設為 2，例如：address[1:0]等於 0，如此，匯流排交易就以正常的模式進行。因此綜上所述，進入二倍傳輸模式的條件如下：

1.主橋 52 將匯流排授權核准給具二倍傳輸之主控器 54；

2.具有二倍傳輸之主控器 54 發出之位址訊號的最低兩個位元 address[1:0]設為 2；以及

3.位址訊號的位址範圍支援接受二倍傳輸模式。

以上的條件中，只要缺少任一條件就以正常的模式進行匯流排交易傳輸。

請參照第 3 圖，其繪示的是依照本發明之一較佳實施例的一種支援二倍傳輸模式的 PCI 匯流排結構之時序圖形，其中當 PCI 匯流排於開始傳送資料位址訊號之時(如圖中之資料位址訊號 D0/D1/D2/D3/D4/D5/D6/D7/D8/D9)，其皆是利用 REQ 訊號上之傳輸選通訊號以觸發栓鎖資料，而於資料週期時，開始傳輸資料位址訊號 D0/D1 傳送至 PCI 匯流排上，但是被選擇之主橋或主控器備妥訊號 TRDY#仍未確認，因此，主控器再重新傳送資料位址訊號 D0/D1，按

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

此，資料位址訊號 D4/D5 與資料位址訊號 D8/D9 皆可同理相推。

週期框格訊號 FRAME# 在最後一筆資料位址訊號 D8/D9 時拉起，用以告知被選擇之主橋或主控器，資料位址訊號 D8/D9 為最後一筆傳輸資料，然而，在資料位址訊號 D8/D9 第二次傳送時，STOP# 訊號的產生，使得傳輸動作完全結束。

請參照第 4 圖，第 4 圖繪示的是依照本發明之一較佳實施例的一種具有二倍傳輸模式的 PCI 匯流排結構上之相容裝置之方塊圖，此 PCI 匯流排結構中包括具有二倍傳輸能力之主控器 54 與主橋 52，此兩個裝置中各包含有各自的具有二倍傳輸能力之輸出相容裝置與接收相容裝置，其對應地透過 PCI 匯流排 70 而連接在一起，舉例：主控器 54 之輸出相容裝置 55 透過 PCI 匯流排 70，對應地與主橋 52 之接收相容裝置 57 接起來，請注意，當主控器 54 輸出資料至 PCI 匯流排上，以寫入資料進入主橋 52 所連接之記憶體(未繪示)時，係以匯流排要求訊號 REQ 的接腳來傳送出資料選通(Data Strobe)訊號；同理，主橋 52 之輸出相容裝置(未標示)透過 PCI 匯流排 70，對應地與主控器 54 之接收相容裝置(未標示)接起來，當主控器 54 由 PCI 匯流排上接收資料，以讀取主橋 52 所連接之記憶體資料時，係以匯流排核准訊號 GNT 的接腳來接收資料選通訊號。

先進先出記憶體 62 耦接至傳送高位元緩衝器 ADH_{OUT} 及傳送低位元緩衝器 ADL_{OUT}，其接收複數個傳送資料，並

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

依序分別傳送其中的傳送高位元資料與傳送低位元資料至 ADH_{OUT} 及 ADL_{OUT}。資料緩衝器對 64 之 ADL_{OUT} 與 ADH_{OUT} 依照傳送資料 AD 之先後順序分別接收，並且將所接收到的資料，以傳送高位元資料與傳送低位元資料分別送至多工器 66。而多工器 66 則依據匯流排時脈訊號(PCICLK_T)之高電位與低電位(或是上升緣與下降緣)分別將所接收到之資料位址訊號 AD 傳輸至 PCI 匯流排 70 上。

PCI 匯流排 70 則將資料位址訊號 AD 傳送至資料分配器 72，而同時匯流排時脈訊號(PCICLK_T)藉由仲裁訊號裝置 68，在此為要求訊號(REQ)裝置 68，藉由 REQ 訊號之傳輸接腳及傳輸線傳送至資料分配器 72，亦即以 REQ 訊號之傳輸接腳作為資料選通訊號的接腳，來傳送頻率與匯流排時脈訊號一樣的資料選通訊號，當然，經由要求訊號裝置 68 之傳輸線所送出之資料選通訊號會和資料一樣，在到達主橋時，因傳遞而產生延遲之現象。

資料分配器 72 則依據從要求訊號裝置 68 之傳輸線所接收到的資料選通訊號，以及匯流排時脈訊號(PCICLK_R)，將所接收到之資料位址訊號 AD 加以區隔，並將資料位址訊號 AD 分別依序傳送至資料緩衝器對 74 之接收低位元緩衝器 ADL_{in} 與接收高位元緩衝器 ADH_{in} 中。其中，資料分配器 72 所接收之匯流排時脈訊號(PCICLK_R)，其最主要之目的是，使得接收的資料 AD 能在輸出至內部時與內部之匯流排時脈訊號同步。

第 5 圖繪示的是第 4 圖中的具有二倍傳輸模式的 PCI

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

匯流排相容裝置中的資料分配器 72 之方塊圖，請參照第 5 圖與第 4 圖。緩衝器 80 從 PCI 匯流排 70 所接收到之資料位址訊號 AD 送至輸出控制器 84/86，又稱為：正相觸發栓鎖器 86 與反相觸發栓鎖器 84 (於本實施例以 D-TYPE 正反器為輸出控制器)，其中每一輸出控制器 84/86 具有資料輸入端、觸發端及資料輸出端，資料輸入端耦接至資料緩衝器 80 之輸出，觸發端耦接至選通訊號緩衝器 82 之輸出，以依據接收資料選通訊號(在此為 REQ 訊號線上的訊號)，栓鎖住高位元資料 pre ADH_{in} 與低位元資料 pre ADL_{in}。

正相觸發栓鎖器 88 之資料輸入端耦接至反相觸發栓鎖器 84 之資料輸出端，其觸發端耦接至內部匯流排時脈訊號(PCICLK_R)，以使資料輸入端之資料輸出在資料輸出端時，亦即輸出接收低位元資料時，與內部匯流排時脈訊號同步。同理，反相觸發栓鎖器 90 之資料輸入端耦接至正相觸發栓鎖器 86 之資料輸出端，觸發端耦接至內部匯流排時脈訊號，以使資料輸入端之資料輸出在資料輸出端時，亦即輸出接收高位元資料時，與內部匯流排時脈訊號同步。也就是此兩個輸出控制器 88/90 則依據匯流排時脈訊號分別將 pre ADL_{in} 與 pre ADH_{in} 之訊號輸出，如此可將此二資料分別輸出至資料緩衝器對 74 之 ADL_{in} 與 ADH_{in} 中。

如熟悉此藝者可輕易知曉，上述第 5 圖係將正相觸發栓鎖器 88 之資料輸入端耦接至反相觸發栓鎖器 84 之資料輸出端，而反相觸發栓鎖器 90 之資料輸入端耦接至正相觸發栓鎖器 86 之資料輸出端，但是本實施例分成兩組栓鎖器

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (13)

對之理由主要是必須將資料與內部匯流排時脈訊號取得同步，故亦可將反相觸發栓鎖器 90 之資料輸入端耦接至反相觸發栓鎖器 84 之資料輸出端，而正相觸發栓鎖器 88 之資料輸入端耦接至正相觸發栓鎖器 86 之資料輸出端。

第 6 圖繪示的是第 5 圖與第 4 圖中 PCI 匯流排相容裝置之時序圖形。請同時參照第 6 圖、第 5 圖與第 4 圖，其中，以資料位址訊號 L0 與資料位址訊號 H0 為例，資料 L0/H0 被依序存放至先進先出記憶體 62，並分別輸出至資料緩衝器對 64 之 ADL_{OUT} 與 ADH_{OUT}，並且分別輸出至多工器 66。

然而，多工器 66 則依據匯流排時脈訊號(PCICLK_T)之低電位與高電位分別將資料位址訊號 L0 與資料位址訊號 H0 送出至 PCI 匯流排 70，而此時 PCICLK_T 訊號經要求訊號裝置 68，經由 REQ 之接腳送出資料選通訊號 REQ_{OUT}，再經由 PCI 匯流排 70 延遲後，以 REQ_{IN} 傳送至資料分配器 72，根據第 6 圖可知，資料分配器 72 依據經傳輸線傳送而延遲之 PCICLK_T 訊號，亦即資料選通訊號，與匯流排時脈訊號(PCICLK_R)將資料位址訊號 L0 與資料位址訊號 H0 分別輸出至資料緩衝器對 74 之 ADL_{IN} 與 ADH_{IN}，而其餘之資料位址訊號皆以相同之方式傳輸。

如熟悉此藝者知曉，第 6 圖與第 5 圖係主要解釋主控器輸出資料至 PCI 匯流排上，以匯流排要求訊號 REQ 的接腳來傳送資料選通訊號。同理可推知，主橋輸出資料至 PCI 匯流排上，而主控器由 PCI 匯流排上接收資料時，以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

匯流排核准訊號 GNT 的接腳來接收資料選通訊號。二者運作與時序係相類似。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

六、申請專利範圍

1.一種在 PCI 匯流排上傳送資料的匯流排資料介面，該 PCI 匯流排具有一匯流排核准訊號及一匯流排要求訊號，該匯流排資料介面包括：

一傳送高位元緩衝器，用以接收並暫存一傳送高位元資料；

一傳送低位元緩衝器，用以接收並暫存一傳送低位元資料；

一多工器，耦接至該傳送高位元緩衝器及該傳送低位元緩衝器，其接收一內部匯流排時脈訊號，當該內部匯流排時脈訊號為一高電位時，該多工器選擇該傳送高位元資料與該傳送低位元資料二者之一輸出至該PCI匯流排上，當該內部匯流排時脈訊號為一低電位時，該多工器選擇該傳送高位元資料與該傳送低位元資料之另一輸出至該PCI匯流排上；

一仲裁訊號裝置，當該匯流排資料介面輸出資料至該PCI匯流排上時，該仲裁訊號裝置依據該內部匯流排時脈訊號，在一傳送資料選通訊號接腳上傳送出一傳送資料選通訊號；以及

一資料分配器，耦接至該PCI匯流排，該資料分配器依據一接收資料選通訊號接腳上的一接收資料選通訊號，由該PCI匯流排上接收資料，再分別輸出一接收高位元資料與一接收低位元資料；

其中該仲裁訊號裝置以該匯流排核准訊號及該匯流排要求訊號二者之一的接腳為該傳送資料選通訊號接腳，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

而該資料分配器以該匯流排核准訊號及該匯流排要求訊號二者之另一的接腳為該接收資料選通訊號接腳。

2.如申請專利範圍第1項所述之在PCI匯流排上傳送資料的匯流排資料介面，其中該匯流排資料介面係應用於一匯流排主控裝置，則當該匯流排主控裝置進行寫入資料，亦即輸出資料至該PCI匯流排上時，以該匯流排要求訊號的接腳為該傳送資料選通訊號接腳，當該匯流排主控裝置進行讀取資料，亦即由該PCI匯流排上接收資料時，以該匯流排核准訊號的接腳為該接收資料選通訊號接腳。

3.如申請專利範圍第1項所述之在PCI匯流排上傳送資料的匯流排資料介面，其中該匯流排資料介面係應用於一匯流排橋接裝置，該匯流排橋接裝置依據該匯流排要求訊號及該匯流排核准訊號，來仲裁該PCI匯流排之主控權，則當該匯流排橋接裝置輸出資料至該PCI匯流排上時，以該匯流排核准訊號的接腳為該傳送資料選通訊號接腳，當該匯流排橋接裝置由該PCI匯流排上接收資料時，以該匯流排要求訊號的接腳為該接收資料選通訊號接腳。

4.如申請專利範圍第1項所述之在PCI匯流排上傳送資料的匯流排資料介面，更包括一先進先出記憶體，耦接至該傳送高位元緩衝器及該傳送低位元緩衝器，用以接收複數個傳送資料，並依序分別傳送該傳送高位元資料與該傳送低位元資料至該傳送高位元緩衝器及該傳送低位元緩衝器。

5.如申請專利範圍第1項所述之在PCI匯流排上傳送資

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

料的匯流排資料介面，更包括：

一接收高位元緩衝器，耦接至該資料分配器，用以接收並暫存該接收高位元資料；以及

一接收低位元緩衝器，耦接至該資料分配器，用以接收並暫存該接收低位元資料。

6.如申請專利範圍第1項所述之在PCI匯流排上傳送資料的匯流排資料介面，其中該資料分配器更包括：

一資料緩衝器，耦接至該PCI匯流排上，用以接收並輸出該接收高位元資料與該接收低位元資料；

一選通訊號緩衝器，用以接收並輸出該接收資料選通訊號；

一第一正相觸發栓鎖器，具有一資料輸入端，一觸發端及一資料輸出端，該資料輸入端耦接至該資料緩衝器之輸出，該觸發端耦接至該選通訊號緩衝器，用以依據該接收資料選通訊號，栓鎖住該接收高位元資料與該接收低位元資料二者之一；

一第一反相觸發栓鎖器，具有一資料輸入端，一觸發端及一資料輸出端，該資料輸入端耦接至該資料緩衝器之輸出，該觸發端耦接至該選通訊號緩衝器，用以依據該接收資料選通訊號，栓鎖住該接收高位元資料與該接收低位元資料二者之另一；

一第二正相觸發栓鎖器，具有一資料輸入端，一觸發端及一資料輸出端，該資料輸入端耦接至該第一正相觸發栓鎖器之該資料輸出端，該觸發端耦接至該內部匯流排時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

脈訊號，用以使該資料輸入端之資料輸出在該資料輸出端時，與該內部匯流排時脈訊號同步；以及

一第二反相觸發栓鎖器，具有一資料輸入端，一觸發端及一資料輸出端，該資料輸入端耦接至該第一反相觸發栓鎖器之該資料輸出端，該觸發端耦接至該內部匯流排時脈訊號，用以使該資料輸入端之資料輸出在該資料輸出端時，與該內部匯流排時脈訊號同步。

7.如申請專利範圍第1項所述之在PCI匯流排上傳送資料的匯流排資料介面，其中該資料分配器更包括：

一資料緩衝器，耦接至該PCI匯流排上，用以接收並輸出該接收高位元資料與該接收低位元資料；

一選通訊號緩衝器，用以接收並輸出該接收資料選通訊號；

一第一正相觸發栓鎖器，具有一資料輸入端，一觸發端及一資料輸出端，該資料輸入端耦接至該資料緩衝器之輸出，該觸發端耦接至該選通訊號緩衝器，用以依據該接收資料選通訊號，栓鎖住該接收高位元資料與該接收低位元資料二者之一；

一第一反相觸發栓鎖器，具有一資料輸入端，一觸發端及一資料輸出端，該資料輸入端耦接至該資料緩衝器之輸出，該觸發端耦接至該選通訊號緩衝器，用以依據該接收資料選通訊號，栓鎖住該接收高位元資料與該接收低位元資料二者之另一；

一第二正相觸發栓鎖器，具有一資料輸入端，一觸發

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

端及一資料輸出端，該資料輸入端耦接至該第一反相觸發栓鎖器之該資料輸出端，該觸發端耦接至該內部匯流排時脈訊號，用以使該資料輸入端之資料輸出在該資料輸出端時，與該內部匯流排時脈訊號同步；以及

一第二反相觸發栓鎖器，具有一資料輸入端，一觸發端及一資料輸出端，該資料輸入端耦接至該第一正相觸發栓鎖器之該資料輸出端，該觸發端耦接至該內部匯流排時脈訊號，用以使該資料輸入端之資料輸出在該資料輸出端時，與該內部匯流排時脈訊號同步。

8.一種在PCI匯流排上傳送資料的匯流排結構，該PCI匯流排具有一匯流排核准訊號及一匯流排要求訊號，該匯流排結構包括：

一傳送相容裝置，耦接至該PCI匯流排，包括：

一傳送高位元緩衝器，用以接收並暫存一傳送高位元資料；

一傳送低位元緩衝器，用以接收並暫存一傳送低位元資料；

一多工器，耦接至該傳送高位元緩衝器及該傳送低位元緩衝器，其接收一第一內部匯流排時脈訊號，當該第一內部匯流排時脈訊號為一高電位時，該多工器選擇該傳送高位元資料與該傳送低位元資料二者之一輸出至該PCI匯流排上，當該第一內部匯流排時脈訊號為一低電位時，該多工器選擇該傳送高位元資料與該傳送低位元資料之另一輸出至該PCI匯流排

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

上；以及

一仲裁訊號裝置，當該傳送相容裝置輸出資料至該PCI匯流排上時，該仲裁訊號裝置依據該第一內部匯流排時脈訊號，在該匯流排核准訊號及該匯流排要求訊號二者之一的接腳上傳送出一資料選通訊號；以及

一接收相容裝置，耦接至該PCI匯流排，其至少包括：

一資料分配器，耦接至該PCI匯流排，該資料分配器依據該資料選通訊號，由該PCI匯流排上接收資料，再分別輸出一接收高位元資料與一接收低位元資料。

9.如申請專利範圍第8項所述之在PCI匯流排上傳送資料的匯流排結構，其中該傳送相容裝置係一應用於匯流排主控裝置，該接收相容裝置係一應用於匯流排橋接裝置，該匯流排橋接裝置依據該匯流排要求訊號及該匯流排核准訊號，來仲裁該PCI匯流排之主控權，則當該匯流排主控裝置輸出資料至該PCI匯流排上時，以該匯流排要求訊號的接腳來傳送該資料選通訊號。

10.如申請專利範圍第8項所述之在PCI匯流排上傳送資料的匯流排結構，其中該接收相容裝置係應用於一匯流排主控裝置，該傳送相容裝置係應用於一匯流排橋接裝置，該匯流排橋接裝置依據該匯流排要求訊號及該匯流排核准訊號，來仲裁該PCI匯流排之主控權，則當該匯流排主控裝置由該PCI匯流排上接收資料時，以該匯流排核准訊號

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

的接腳來接收該資料選通訊號。

11.如申請專利範圍第8項所述之在PCI匯流排上傳送資料的匯流排結構，其中該傳送相容裝置更包括一先進先出記憶體，耦接至該傳送高位元緩衝器及該傳送低位元緩衝器，用以接收複數個傳送資料，並依序分別傳送該傳送高位元資料與該傳送低位元資料至該傳送高位元緩衝器及該傳送低位元緩衝器。

12.如申請專利範圍第8項所述之在PCI匯流排上傳送資料的匯流排結構，其中該接收相容裝置更包括：

一接收高位元緩衝器，耦接至該資料分配器，用以接收並暫存該接收高位元資料；以及

一接收低位元緩衝器，耦接至該資料分配器，用以接收並暫存該接收低位元資料。

13.如申請專利範圍第8項所述之在PCI匯流排上傳送資料的匯流排結構，其中該資料分配器更包括：

一資料緩衝器，耦接至該PCI匯流排上，用以接收並輸出該接收高位元資料與該接收低位元資料；

一選通訊號緩衝器，用以接收並輸出該資料選通訊號；

一第一正相觸發栓鎖器，具有一資料輸入端，一觸發端及一資料輸出端，該資料輸入端耦接至該資料緩衝器之輸出，該觸發端耦接至該選通訊號緩衝器，用以依據該資料選通訊號，栓鎖住該接收高位元資料與該接收低位元資料二者之一；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一第一反相觸發栓鎖器，具有一資料輸入端，一觸發端及一資料輸出端，該資料輸入端耦接至該資料緩衝器之輸出，該觸發端耦接至該選通訊號緩衝器，用以依據該資料選通訊號，栓鎖住該接收高位元資料與該接收低位元資料二者之另一；

一第二正相觸發栓鎖器，具有一資料輸入端，一觸發端及一資料輸出端，該資料輸入端耦接至該第一正相觸發栓鎖器之該資料輸出端，該觸發端耦接至一第二內部匯流排時脈訊號，用以使該資料輸入端之資料輸出在該資料輸出端時，與該第二內部匯流排時脈訊號同步；以及

一第二反相觸發栓鎖器，具有一資料輸入端，一觸發端及一資料輸出端，該資料輸入端耦接至該第一反相觸發栓鎖器之該資料輸出端，該觸發端耦接至該第二內部匯流排時脈訊號，用以使該資料輸入端之資料輸出在該資料輸出端時，與該第二內部匯流排時脈訊號同步。

14.如申請專利範圍第8項所述之在PCI匯流排上傳送資料的匯流排結構，其中該資料分配器更包括：

一資料緩衝器，耦接至該PCI匯流排上，用以接收並輸出該接收高位元資料與該接收低位元資料；

一選通訊號緩衝器，用以接收並輸出該資料選通訊號；

一第一正相觸發栓鎖器，具有一資料輸入端，一觸發端及一資料輸出端，該資料輸入端耦接至該資料緩衝器之輸出，該觸發端耦接至該選通訊號緩衝器，用以依據該資

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

料選通訊號，栓鎖住該接收高位元資料與該接收低位元資料二者之一；

一第一反相觸發栓鎖器，具有一資料輸入端，一觸發端及一資料輸出端，該資料輸入端耦接至該資料緩衝器之輸出，該觸發端耦接至該選通訊號緩衝器，用以依據該資料選通訊號，栓鎖住該接收高位元資料與該接收低位元資料二者之另一；

一第二正相觸發栓鎖器，具有一資料輸入端，一觸發端及一資料輸出端，該資料輸入端耦接至該第一反相觸發栓鎖器之該資料輸出端，該觸發端耦接至一第二內部匯流排時脈訊號，用以使該資料輸入端之資料輸出在該資料輸出端時，與該第二內部匯流排時脈訊號同步；以及

一第二反相觸發栓鎖器，具有一資料輸入端，一觸發端及一資料輸出端，該資料輸入端耦接至該第一正相觸發栓鎖器之該資料輸出端，該觸發端耦接至該第二內部匯流排時脈訊號，用以使該資料輸入端之資料輸出在該資料輸出端時，與該第二內部匯流排時脈訊號同步。

15.一種在一 PCI 匯流排上傳送資料之運作方法，係應用於一電腦系統，該電腦系統至少包括一主控裝置以及一橋接裝置，分別耦接至該 PCI 匯流排，該運作方法包括下列步驟：

偵測該主控裝置是否支援一二倍傳輸模式；

當該主控裝置支援該二倍傳輸模式時，令該主控裝置將對應該主控裝置之該匯流排要求訊號致動；以及

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

該橋接裝置依據該匯流排要求訊號之狀態，以分辨該匯流排要求訊號所對應之該主控裝置是否支援該二倍傳輸模式。

16.如申請專利範圍第 15 項所述之在一 PCI 匯流排上傳送資料之運作方法，更包括下列步驟：

提供該橋接裝置所支援該二倍傳輸模式之一支援二倍傳輸位址範圍；

當欲以該二倍傳輸模式運作時，該主控裝置發出一匯流排交易，其中該匯流排交易之一存取位址係落於該支援二倍傳輸位址範圍內；以及

該橋接裝置依據該主控裝置是否支援該二倍傳輸模式以及所接收之該匯流排交易之該存取位址是否落於該支援二倍傳輸位址範圍，以啟動該二倍傳輸模式。

17.如申請專利範圍第 15 項所述之在一 PCI 匯流排上傳送資料之運作方法，更包括下列步驟：

當欲以該二倍傳輸模式運作時，該主控裝置於所發出之該匯流排交易之該存取位址上送出一二倍模式識別碼；以及

該橋接裝置更依據所接收之該存取位址上之該二倍模式識別碼，啟動該二倍傳輸模式。

18.如申請專利範圍第 17 項所述之在一 PCI 匯流排上傳送資料之運作方法，其中該存取位址上之該二倍模式識別碼係為將該存取位址的最低兩個位元設為 2。

19.如申請專利範圍第 15 項所述之在一 PCI 匯流排上

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

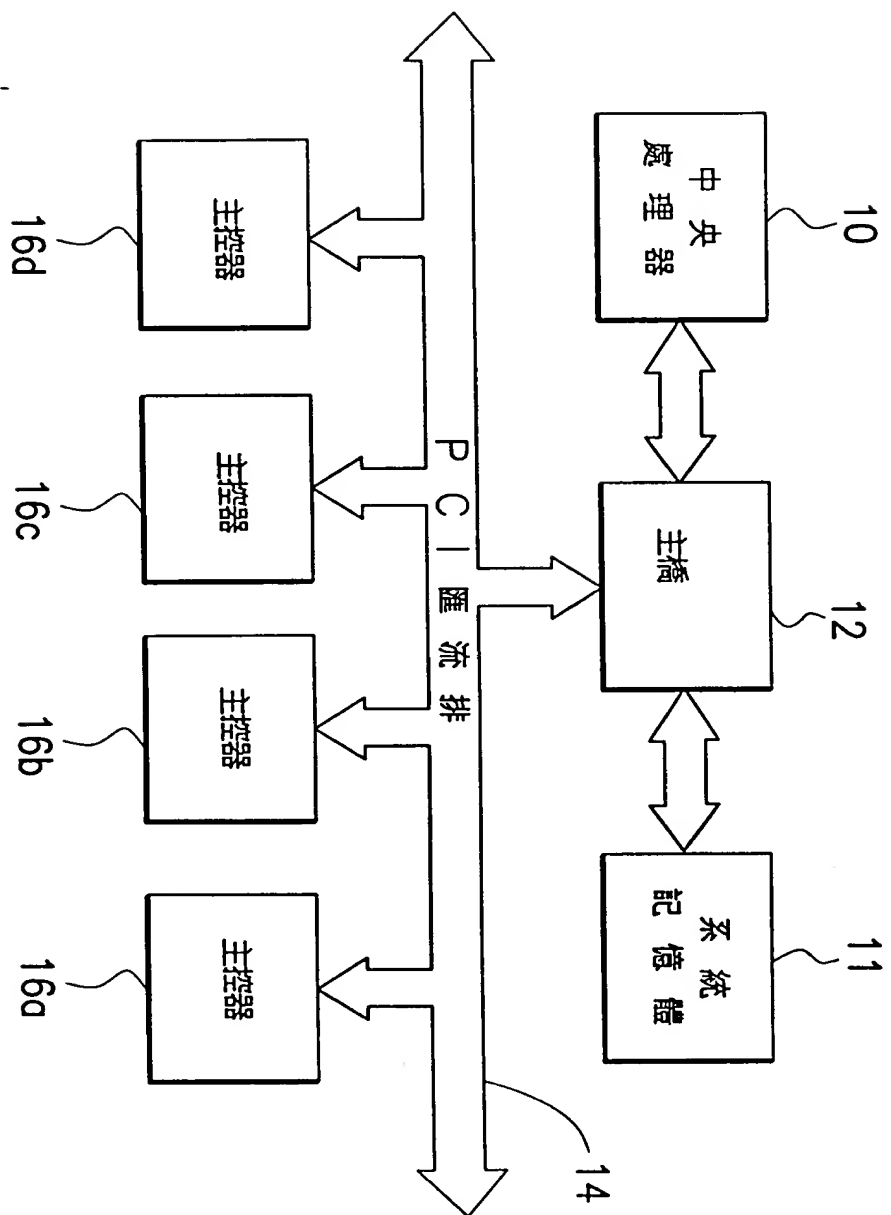
傳送資料之運作方法，其中偵測該主控裝置是否支援該二倍傳輸模式的方法包括下列步驟：

提供可支援該二倍傳輸模式之一廠商識別碼及一裝置識別碼於該電腦系統中；以及

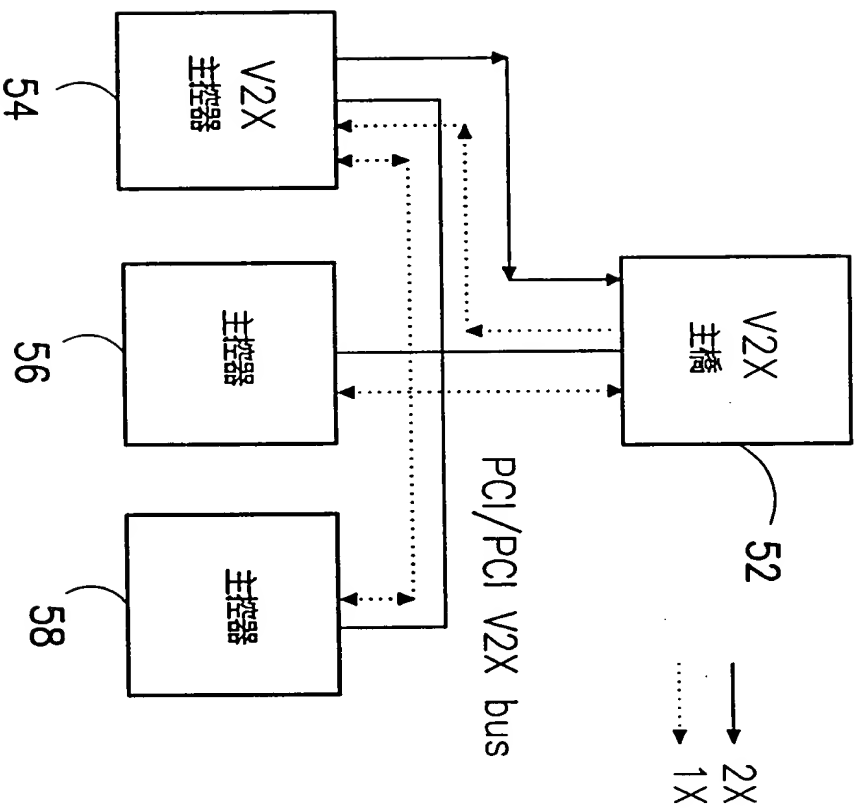
比對該主控裝置之一組態資料是否等於該廠商識別碼及該裝置識別碼。

(請先閱讀背面之注意事項再填寫本頁)

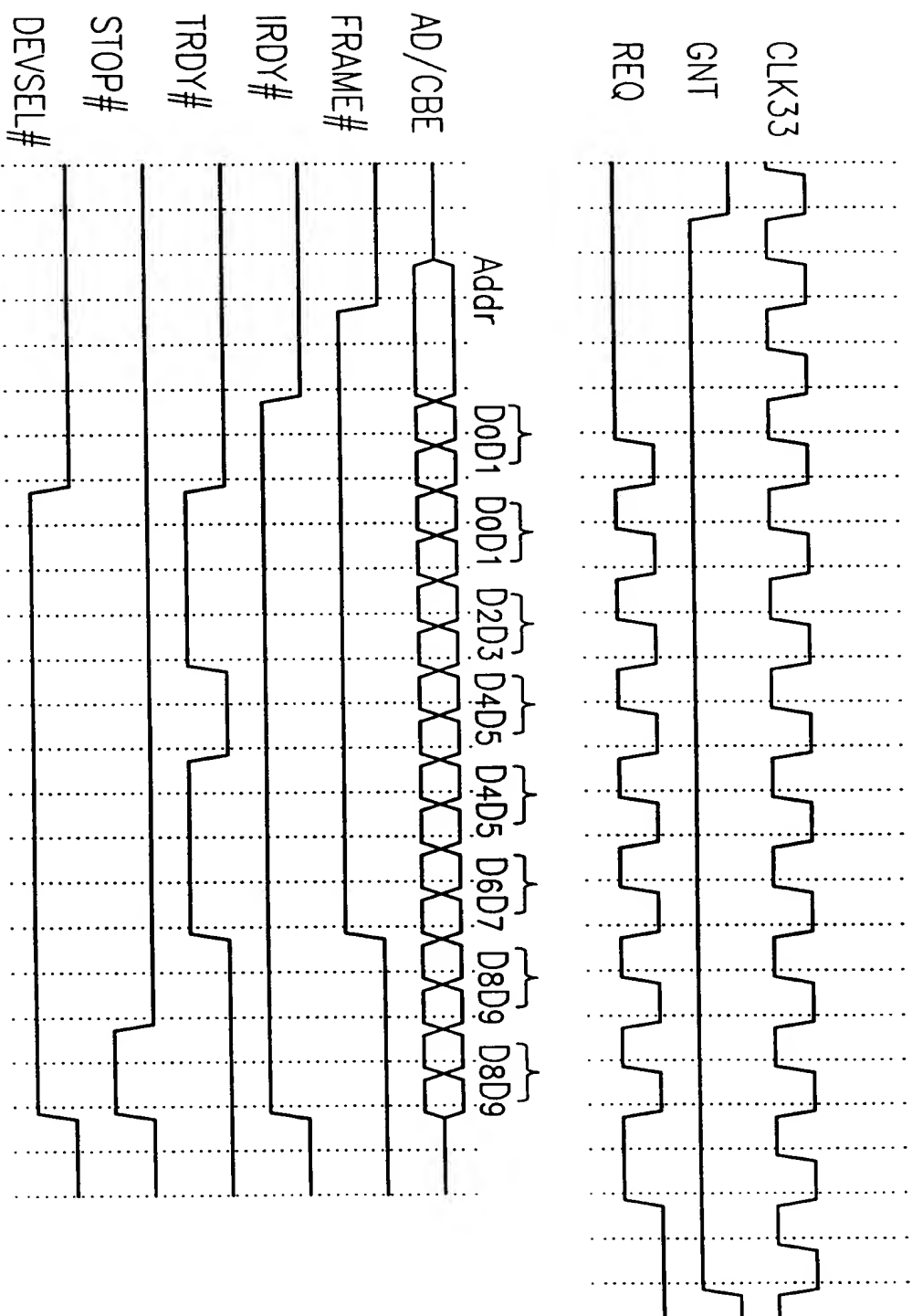
裝
訂
線



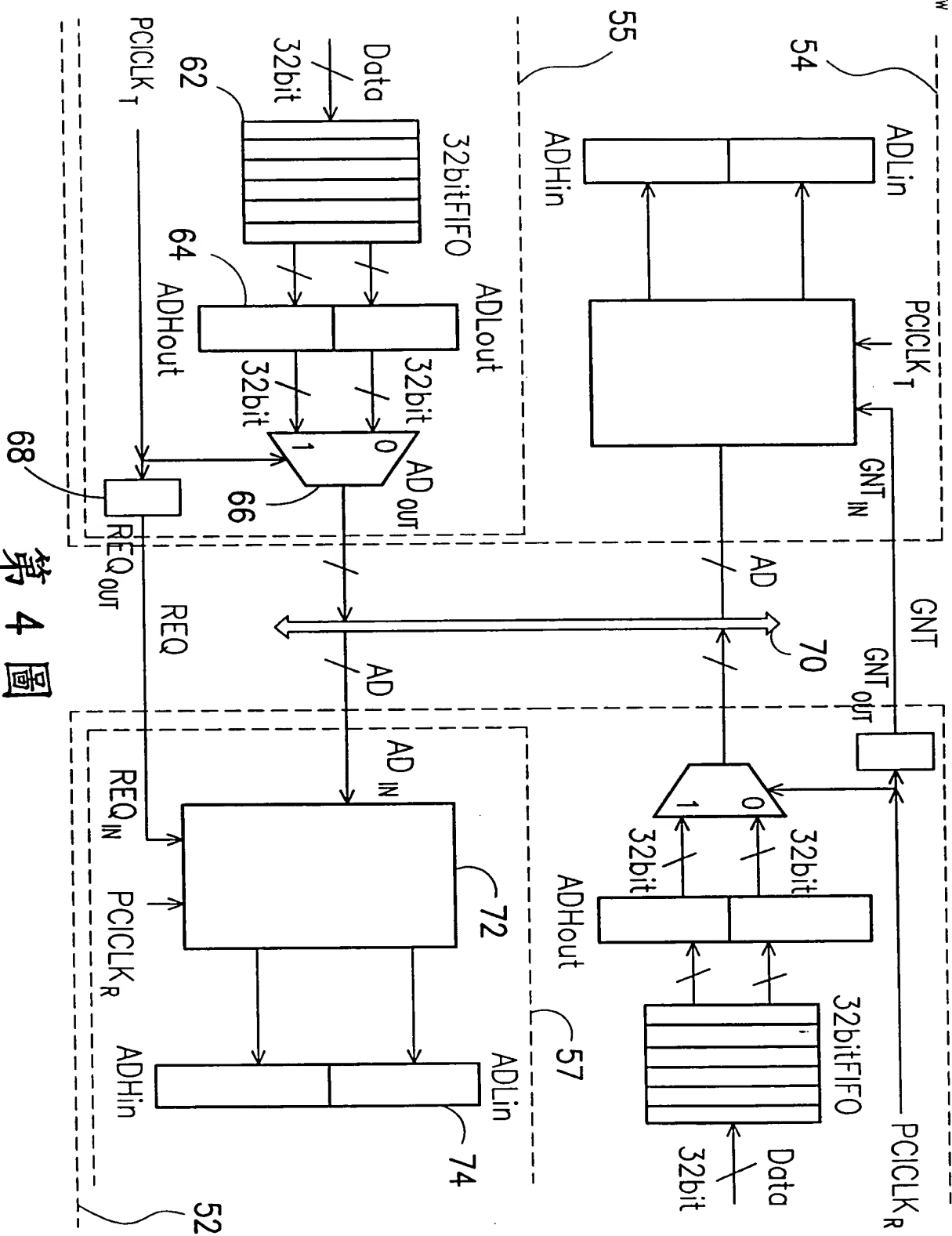
第 1 圖



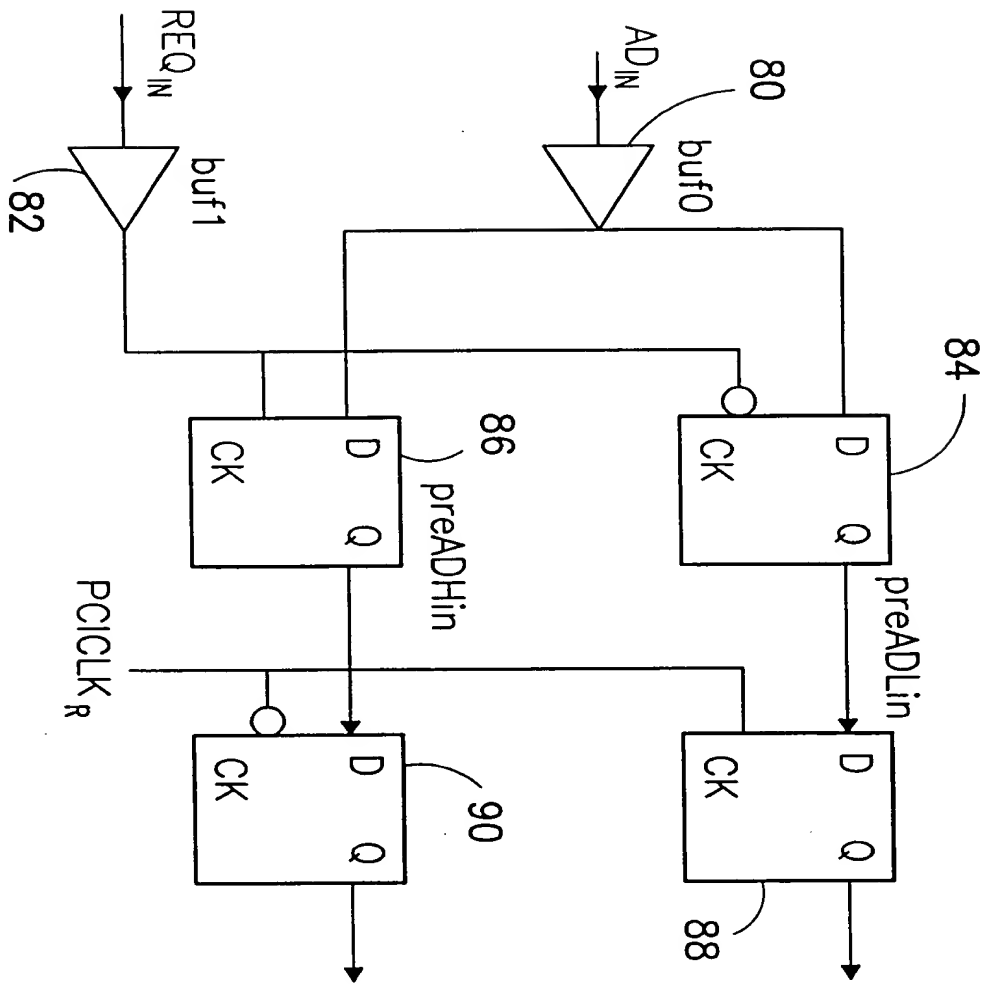
第 2 圖



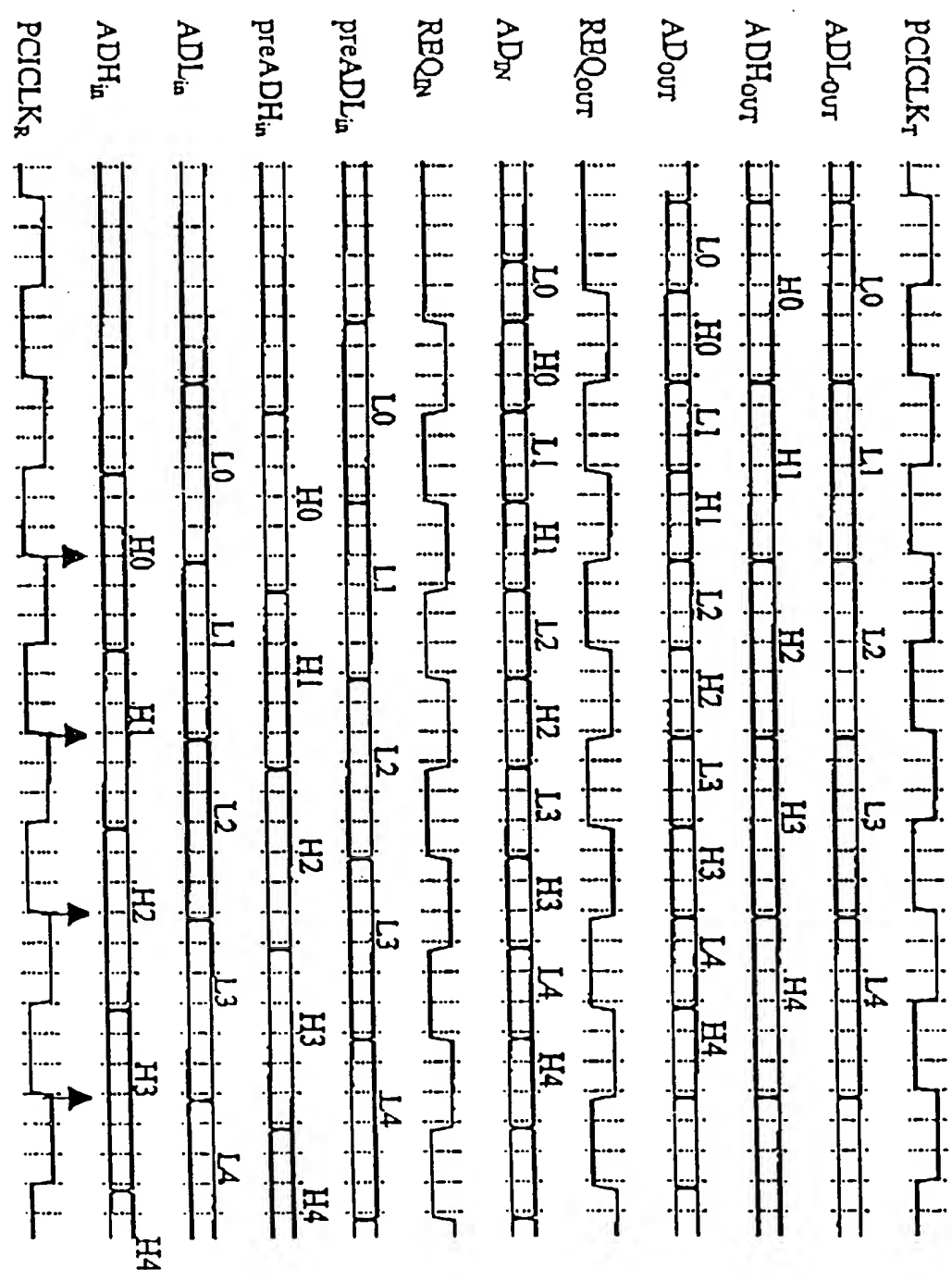
第 3 圖



第 4 圖



第 5 圖



第 6 圖